

PAT-NO: JP02000323613A

DOCUMENT-IDENTIFIER: JP 2000323613 A

TITLE: MULTILAYER SUBSTRATE FOR SEMICONDUCTOR DEVICE
AND
MANUFACTURE THEREOF

PUBN-DATE: November 24, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MUTSUKAWA, AKIO	N/A
SASAKI, MASAYUKI	N/A
MATSUDA, YUICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHINKO ELECTRIC IND CO LTD	N/A

APPL-NO: JP11370984

APPL-DATE: December 27, 1999

PRIORITY-DATA: 11064248 (March 11, 1999)

INT-CL (IPC): H01L023/12, H05K003/46

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a multilayer substrate for a semiconductor device on which a semiconductor element mount surface can be flatly and thinly formed as much as possible.

SOLUTION: In this semiconductor device multilayer substrate 10 on which one surface side, where a conductive wiring 12 is formed through an insulating layer 14, is used as the semiconductor element mounting surface where the semiconductor element pad 20a, to be connected to the electrode terminal 18 of

a semiconductor element 16 to be mounted, and the other surface side of the multilayer substrate is used as the external connection terminal mounting surface where an external connection terminal pad 24 is formed; a via 28 where the conductive wiring 12 formed on both surfaces of the insulating layer and/or the pad 20 are electrically connected is formed penetrating the insulating layer 14, and the via 28 is perforated on the external connection terminal mounting surface side of the insulating layer 14. The aperture area where bottom face is formed on the inside surface on the external connection terminal mounting surface side of the conductive wiring 12, formed on the semiconductor element mounting surface side, is formed on a conical-shaped recessed part 30 which is larger than the area of bottom face.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323613

(P2000-323613A)

(43) 公開日 平成12年11月24日 (2000.11.24)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 23/12		H 0 1 L 23/12	N 5 E 3 4 6
H 0 5 K 3/46		H 0 5 K 3/46	N
			Q
		H 0 1 L 23/12	Q

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21) 出願番号 特願平11-370984

(22) 出願日 平成11年12月27日 (1999.12.27)

(31) 優先権主張番号 特願平11-64248

(32) 優先日 平成11年3月11日 (1999.3.11)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 六川 昭雄

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 佐々木 正行

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100077621

弁理士 綿貫 隆夫 (外1名)

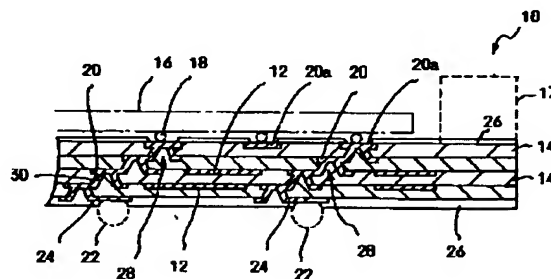
最終頁に続く

(54) 【発明の名称】 半導体装置用多層基板及びその製造方法

(57) 【要約】

【課題】 半導体素子が搭載される搭載面を可及的に平坦に形成でき、且つ厚さを可及的に薄く形成し得る半導体装置用多層基板を提供する。

【解決手段】 導体配線12が絶縁層14を介して多層に形成されて成る多層基板の一面側が、搭載される半導体素子16の電極端子18と接続される半導体素子用パッド20aが形成された半導体素子搭載面であり、且つ前記多層基板の他面側が、外部接続端子用パッド24が形成された外部接続端子装着面である半導体装置用多層基板10において、該絶縁層14の両面に形成された導体配線12及び／又はパッド20を電氣的に接続するヴィア28が、絶縁層14を貫通して形成され、且つ絶縁層14の外部接続端子装着面側に開口されていると共に、前記半導体素子搭載面側に形成された導体配線12又はパッド20の外部接続端子装着面側の内面に底面が形成された、開口面積が底面面積よりも大の円錐台状の凹部30に形成されていることを特徴とする。



【特許請求の範囲】

【請求項1】 導体配線が絶縁層を介して多層に形成されて成る多層基板の一面側が、搭載される半導体素子の電極端子と接続される半導体素子用パッドが形成された半導体素子搭載面であり、且つ前記多層基板の他面側が、外部接続端子用パッドが形成された外部接続端子装着面である半導体装置用多層基板において、該絶縁層の両面に形成された導体配線及び／又はパッドを電気的に接続するビアが、前記絶縁層を貫通して形成され、且つ前記絶縁層の外部接続端子装着面側に開口されていると共に、前記絶縁層の半導体素子搭載面側に形成された導体配線又はパッドの外部接続端子装着面側の内面に底面が形成された、開口面積が底面面積よりも大となる円錐台状の凹部に形成されていることを特徴とする半導体装置用多層基板。

【請求項2】 半導体素子搭載面の周縁部に金属枠体が装着されている請求項1記載の半導体装置用多層基板。

【請求項3】 ヴィアが、絶縁層に形成された円錐台状の凹部の内壁面に沿って凹状に形成された金属層から成る請求項1又は請求項2記載の半導体装置用多層基板。

【請求項4】 ヴィアが、絶縁層に形成された円錐台状の凹部内に、円錐台状に充填された金属から成り、前記ヴィアの端面を含む絶縁層の開口面側が平坦面に形成されている請求項1又は請求項2記載の半導体装置用多層基板。

【請求項5】 半導体素子用パッドが、少なくとも二層のめっき金属層によって形成され、搭載される半導体素子の電極端子と当接するめっき金属層が、貴金属から成る請求項1～4のいずれか一項記載の半導体装置用多層基板。

【請求項6】 半導体素子用パッドが、少なくとも二層のめっき金属層によって形成され、搭載される半導体素子の電極端子と当接するめっき金属層が、前記半導体素子の電極端子と半導体素子用パッドとを電気的に接続するリフロー工程において溶融する低融点金属から成る請求項1～4のいずれか一項記載の半導体装置用多層基板。

【請求項7】 導体配線が絶縁層を介して多層に形成されて成る多層基板の一面側が、搭載される半導体素子の電極端子と接続される半導体素子用パッドが形成された半導体素子搭載面であり、且つ前記多層基板の他面側が、外部接続端子用パッドが形成された外部接続端子装着面である半導体装置用多層基板を製造する際に、該半導体素子用パッドが形成される半導体素子搭載面側から前記外部接続端子用パッドが形成される外部接続端子装着面側に順次導体配線及び絶縁層を形成すると共に、

前記導体配線及び絶縁層を順次形成する際に、前記絶縁層の半導体素子搭載面側に形成する導体配線及び／又はパッドと、前記絶縁層の外部接続端子装着面側に形成す

る導体配線及び／又はパッドとを、前記絶縁層を貫通して電気的に接続するヴィアを、前記絶縁層の外部接続端子装着面側に開口され、且つ前記絶縁層の半導体素子搭載面側に形成された導体配線及び／又はパッドの外部端子接続装着面側の内面が底面に露出する、開口面積が底面面積よりも大の円錐台状の凹部に形成することを特徴とする半導体装置用多層基板の製造方法。

【請求項8】 半導体素子用パッドを覆う絶縁層を金属板の一面側に形成した後、

10 前記絶縁層の表面に開口され、且つ前記半導体素子用パッドが底面に露出された、開口面積が底面面積よりも大の円錐台状の凹部にヴィアを形成すると共に、前記凹部の周縁部を形成する絶縁層の表面に所定の導体配線及び／又はパッドを形成し、

次いで、外部接続端子装着層を形成した後、前記金属板をエッチングして除去することによって半導体素子搭載用層を形成する請求項7記載の半導体装置用多層基板の製造方法。

【請求項9】 金属板の一面側に、前記金属板をエッチングするエッチング液によって実質的にエッチングされない金属から成る金属層を形成した後、

前記金属層上に形成した半導体素子用パッドを覆う絶縁層の表面に開口され、且つ前記半導体素子用パッドが底面に露出された、開口面積が底面面積よりも大の円錐台状の凹部にヴィアを形成すると共に、前記凹部の周縁部を形成する絶縁層の表面に所定の導体配線及び／又はパッドを形成し、

40 次いで、外部接続端子装着層を形成した後、前記金属板及び金属層をエッチングして除去することによって半導体素子搭載用層を形成する請求項7記載の半導体装置用多層基板の製造方法。

【請求項10】 金属板の一面側に、前記金属板をエッチングするエッチング液によって実質的にエッチングされない樹脂から成る樹脂層を形成した後、

前記金属板上に形成した半導体素子用パッドを覆う樹脂層の表面に開口され、且つ前記半導体素子用パッドが底面に露出された、開口面積が底面面積よりも大の円錐台状の凹部にヴィアを形成すると共に、前記凹部の周縁部を形成する樹脂層の表面に所定の導体配線及び／又はパッドを形成し、

次いで、外部接続端子装着層を形成した後、前記金属板をエッチングして除去することによって半導体素子搭載用層を形成する請求項7記載の半導体装置用多層基板の製造方法。

【請求項11】 金属板をエッチングして除去する際に、半導体素子搭載面の周縁部に金属枠体が形成されるように、前記金属板をエッチングする請求項7～10のいずれか一項記載の半導体装置用多層基板の製造方法。

【請求項12】 ヴィアを形成する際に、絶縁層に形成した円錐台状の凹部の内壁面に沿って凹状の金属層を電

解めつきによって形成する請求項7~11のいずれか一項記載の半導体装置用多層基板の製造方法。

【請求項13】 ヴィアを形成する際に、絶縁層に形成した円錐台状の凹部に円錐台状のヴィアを電解めつきによって金属を充填して形成した後、前記円錐台状のヴィアの端面を含む絶縁層の開口面側を平坦面に研磨する請求項7~11のいずれか一項記載の半導体装置用多層基板の製造方法。

【請求項14】 半導体素子用パッドを、少なくとも二層のめっき金属層によって形成し、その際に、搭載する半導体素子の電極端子と当接するめっき金属層を貴金属めっきによって形成する請求項7~13のいずれか一項記載の半導体装置用多層基板の製造方法。

【請求項15】 半導体素子用パッドを、少なくとも二層のめっき金属層によって形成し、その際に、搭載する半導体素子の電極端子と当接するめっき金属層を、前記半導体素子の電極端子と半導体素子用パッドとを電気的に接続するリフロー工程において溶融する低融点金属によって形成する請求項7~13のいずれか一項記載の半導体装置用多層基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置用多層基板及びその製造方法に関し、更に詳細には導体配線が絶縁層を介して多層に形成されて成る多層基板の一面側が、搭載される半導体素子の電極端子と接続される半導体素子用パッドが形成された半導体素子搭載面であり、且つ前記多層基板の他面側が、外部接続端子用パッドが形成された外部接続端子装着面である半導体装置用多層基板及びその製造方法に関する。

【0002】

【従来の技術】半導体装置に用いる半導体装置用多層基板には、図18に示す半導体装置用多層基板（以下、単に多層基板と称することがある）がある。図18に示す多層基板は、コア基板としての樹脂基板102を貫通するスルーホールヴィア110、110・・・によって、樹脂基板102の両面に形成された上層部106a及び下層部106bの各々に形成された導体配線104、104・・・等は電気的に接続されている。また、上層部106a及び下層部106bの各層においても、樹脂製の絶縁層の両面に形成された導体配線104、104・・・等の電気的な接続は、各絶縁層を貫通して形成されたヴィア118、118・・・によってなされている。更に、上層部106aの最上層には、搭載される半導体素子120の電極端子122、122・・・と電気的に接続されるパッド124、124・・・が形成されており、かかる最上層の上面は、パッド124、124・・・を除きソルダレジスト126によって覆われている。一方、下層部106bの最下層には、外部接続端子としてのはんだボール128、128・・・が装着されるパッド130、130

0・・・が形成されており、かかる最下層の下面は、パッド130、130・・・を除きソルダレジスト132によって覆われている。

【0003】図18に示す半導体装置用多層基板は、図19に示すビルドアップ法によって製造できる。かかるビルドアップ法によれば、図18に示す上層部116aと下層部116bとは同時に形成される。このため、図19では、上層部116aの形成工程を示し、下層部116bの形成工程を省略した。図19に示す製造方法では、先ず、銅箔100が両面に形成された樹脂基板102に、ドリル等によってヴィア用のスルーホールを穿設した後、スルーホールに、その内壁面に無電解めつきによって形成した銅薄膜層を形成し、必要に応じて電解めつきによって所定厚さとするスルーホールめつきを施し、スルーホールヴィア110を形成する〔図19（a）の工程〕。次いで、銅箔100にサブトラクティブ法によって導体配線104、104・・・及びパッド105等を形成した後〔図19（b）の工程〕、樹脂基板102の導体配線形成面（樹脂基板102の両面）に、熱硬化樹脂であるポリイミド樹脂から成る樹脂フィルム106の片面に銅箔108が形成された片面金属箔フィルムを接着し〔図19（c）の工程〕、ヴィア形成箇所に導体配線104のランド部に達する凹部107、107・・・をレーザ光によって形成する〔図19（d）の工程〕。形成された凹部107は、導体配線104の表面によって底面が形成された、開口面積が底面面積よりも大となる円錐台形状である。尚、スルーホールヴィア110内にも、樹脂基板102と片面金属箔フィルムとを接着する際に、ポリイミド樹脂等が充填される。

【0004】この凹部107の各内壁面には、銅箔108と電気的に接続される銅層112を形成する〔図19（e）の工程〕。かかる銅層112は、凹部107を除いて銅箔108をレジスト114によって覆っておき、凹部107の内壁面のみに無電解銅めつき又は銅スパッタ等によって形成した銅薄膜層を、必要に応じて電解めつきによって所定厚さとしたものである。その後、レジスト114を除去し、銅箔108にサブトラクティブ法によって導体配線116等を形成する。この様にして形成された下層の導体配線114と上層の導体配線116とは、ヴィア118によって電気的に接続される。かかる（c）～（f）の工程を繰り返すことによって、図18に示す半導体装置用多層基板を得ることができる。

【0005】

【発明が解決しようとする課題】図19に示すビルドアップ法によって得られた図18に示す多層基板によれば、集積度が進展した半導体素子120でも搭載可能である。しかし、図18の多層基板の上層部106aでは、樹脂基板102から半導体素子120を搭載する最上層面（半導体素子120の搭載面）の方向に各層を順次形成するため、半導体素子120の搭載面の平坦性が

低下し易い。このため、図18の多層基板の搭載面に、例えばフリップチップ方式で半導体素子120を搭載した際に、半導体素子120の電極端子122、122・のうち、多層基板の最上層面に形成されたパッド124、124・と当接しないものが発生するおそれがある。また、図19に示すビルドアップ法においては、コア基板としての樹脂基板102の両面に同時に各層を積み上げる。樹脂基板102の片面のみに各層を形成すると、得られた多層基板が反ってしまうことがあるからである。このため、上層部106aのみで十分な場合であっても、得られる多層基板の反り防止として下層部106bを形成することを要し、得られた多層基板が厚くなる。そこで、本発明の課題は、半導体素子が搭載される搭載面を可及的に平坦に形成でき、且つ厚さを可及的に薄く形成し得る半導体装置用多層基板及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】本発明者等は、前記課題を解決すべく、検討した結果、半導体素子を搭載する半導体素子搭載面側から外部接続端子装着面の方向に順次導体配線及び絶縁層を形成することによって、コア基板を用いることなく多層基板を形成できること、及び多層基板の半導体素子搭載面を可及的に平坦にできることが判明し、本発明に到達した。すなわち、本発明は、導体配線が絶縁層を介して多層に形成されて成る多層基板の一面側が、搭載される半導体素子の電極端子と接続される半導体素子用パッドが形成された半導体素子搭載面であり、且つ前記多層基板の他面側が、外部接続端子用パッドが形成された外部接続端子装着面である半導体装置用多層基板において、該絶縁層の両面に形成された導体配線及び／又はパッドを電気的に接続するビアが、前記絶縁層を貫通して形成され、且つ前記絶縁層の外部接続端子装着面側に開口されていると共に、前記絶縁層の半導体素子搭載面側に形成された導体配線又はパッドの外部接続端子装着面側の内面に底面が形成された、開口面積が底面面積よりも大となる円錐台状の凹部に形成されていることを特徴とする半導体装置用多層基板にある。

【0007】また、本発明は、導体配線が絶縁層を介して多層に形成されて成る多層基板の一面側が、搭載される半導体素子の電極端子と接続される半導体素子用パッドが形成された半導体素子搭載面であり、且つ前記多層基板の他面側が、外部接続端子用パッドが形成された外部接続端子装着面である半導体装置用多層基板を製造する際に、該半導体素子用パッドが形成される半導体素子搭載面側から前記外部接続端子用パッドが形成される外部接続端子装着面側に順次導体配線及び絶縁層を形成すると共に、前記導体配線及び絶縁層を順次形成する際に、前記絶縁層の半導体素子搭載面側に形成する導体配線及び／又はパッドと、前記絶縁層の外部接続端子装着面側に形成する導体配線及び／又はパッドとを、前記絶

縁層を貫通して電気的に接続するビアを、前記絶縁層の外部接続端子装着面側に開口され、且つ前記絶縁層の半導体素子搭載面側に形成された導体配線及び／又はパッドの外部接続端子装着面側の内面が底面に露出する、開口面積が底面面積よりも大の円錐台状の凹部に形成することを特徴とする半導体装置用多層基板の製造方法にある。

【0008】かかる本発明において、半導体素子用パッドを覆う絶縁層を金属板の一面側に形成した後、前記絶縁層の表面に開口され、且つ前記半導体素子用パッドが底面に露出された、開口面積が底面面積よりも大の円錐台状の凹部にビアを形成すると共に、前記凹部の周縁部を形成する絶縁層の表面に所定の導体配線及び／又はパッドを形成し、次いで、外部接続端子装着層を形成した後、前記金属板をエッチングして除去することによって半導体素子搭載用層を形成すること、或いは金属板の一面側に、前記金属板をエッチングするエッチング液によって実質的にエッチングされない金属から成る金属層を形成した後、前記金属層上に形成した半導体素子用パッドを覆う絶縁層の表面に開口され、且つ前記半導体素子用パッドが底面に露出された、開口面積が底面面積よりも大の円錐台状の凹部にビアを形成すると共に、前記凹部の周縁部を形成する絶縁層の表面に所定の導体配線及び／又はパッドを形成し、次いで、外部接続端子装着層を形成した後、前記金属板及び金属層をエッチングして除去することによって半導体素子搭載用層を形成することによって、多層基板の製造工程において、金属板を補強板として使用でき基板の搬送等を容易に行うことができる。

【0009】ここで、金属板の一面側に、前記金属板をエッチングするエッチング液によって実質的にエッチングされない樹脂から成る樹脂層を形成した後、前記金属板上に形成した半導体素子用パッドを覆う樹脂層の表面に開口され、且つ前記半導体素子用パッドが底面に露出された、開口面積が底面面積よりも大の円錐台状の凹部にビアを形成すると共に、前記凹部の周縁部を形成する樹脂層の表面に所定の導体配線及び／又はパッドを形成し、次いで、外部接続端子装着層を形成した後、前記金属板をエッチングして除去することによって半導体素子搭載用層を形成することによって、半導体装置用多層基板の製造工程の省略を可能とすることができる。

【0010】また、金属板をエッチングして除去する際に、半導体素子搭載面の周縁部に金属枠体が形成されるように、前記金属板をエッチングすることによって、得られた多層基板の強度を向上でき、搬送等を容易にすることができる。更に、ビアを形成する際に、絶縁層に形成した円錐台状の凹部の内壁面に沿って凹状の金属層を電解めっきによって形成することによって、凹状のビアを容易に形成できる。他方、ビアを形成する際に、絶縁層に形成した円錐台状の凹部に円錐台状のヴィ

アを電解めっきによって金属を充填して形成した後、前記円錐台状のビアの端面を含む絶縁層の開口面側を平坦面に研磨することによって、中実ビアを形成した絶縁層の凹部の開口面側を平坦面に形成できる。

【0011】この様な本発明において、半導体素子用パッドを、少なくとも二層のめっき金属層によって形成し、その際に、搭載する半導体素子の電極端子と当接するめっき金属層を貴金属めっきによって形成することによって、下層のめっき金属層の酸化等を防止できる。或いは半導体素子用パッドを、少なくとも二層のめっき金属層によって形成し、その際に、搭載する半導体素子の電極端子と当接するめっき金属層を、前記半導体素子の電極端子と半導体素子用パッドとを電氣的に接続するリフロー工程において溶融する低融点金属によって形成することにより、半導体素子のフリップチップボンディングを容易とすることができる。

【0012】従来のビルドアップ法による多層基板は、外部接続端子装着面を具備する外部接続端子装着層側から半導体素子搭載面を具備する半導体素子搭載層の方向に順次導体配線及び絶縁層を形成するため、最後に形成する半導体素子搭載層は、それまでに形成した層の凹凸が積層されて拡大し、半導体素子搭載面の平坦性が劣ることがある。この点、本発明によれば、半導体素子搭載面を具備する半導体素子搭載層側から外部接続端子装着面を具備する外部接続端子装着層の方向に順次導体配線及び接続層を形成するため、半導体素子搭載層を最初に形成できる結果、半導体素子搭載面を可及的に平坦面とすることができる。ところで、最後に形成する外部接続端子装着層は、それまでに形成した絶縁層等の凹凸の影響を受けているが、外部接続端子のサイズは半導体素子の電極端子よりも大きく、外部接続端子装着面の多少の凹凸は吸収可能である。このため、外部接続端子装着面の平坦性の要求は、半導体素子搭載面の平坦性の要求よりも緩和されており問題とならない。

【0013】

【発明の実施の形態】本発明に係る半導体装置用多層基板の一例を図1に示す。図1は、半導体装置用多層基板の部分断面図である。この図1に示す半導体装置用多層基板10は、導体配線12、12・・・がポリイミド樹脂やポリフェニレンエーテル等の樹脂から成る絶縁層14、14・・・を介して多層に配されて成る多層基板（以下、多層基板10と称することがある）である。かかる多層基板10の一面側は、搭載する半導体素子16の電極端子18を接続する半導体素子用パッド20a、20a・・・が形成された半導体素子搭載面であり、多層基板10の他面側は、外部接続端子としてのんだボール22、22・・・を装着する外部接続端子用パッド24、24・・・が形成された外部接続端子装着面である。この多層基板10の半導体素子搭載面及び外部接続端子装着面には、半導体素子用パッド20a及び外部接続端子用パ

ッド24を除き、ソルダレジスト26、26によって覆われている。

【0014】この様な多層基板10において、絶縁層14、14・・・の各層の両面に形成された導体配線12及び／又は半導体素子用パッド20a等のパッド20は、絶縁層14を貫通して形成されたビア28によって電氣的に接続されている。かかるビア28は、絶縁層14の外部接続端子装着面側に開口されていると共に、半導体素子搭載面側に形成された導体配線12又はパッド20の面によって底面が形成された凹部30内に形成されている。この凹部30は、開口面積が底面面積よりも大の円錐台状である。図1に示すビア28は、円錐台状の凹部30の内壁面に沿って金属層が所定厚さに形成されて成る凹状ビアである。

【0015】図1に示す多層基板10は、図2～図5に示す製造方法によって、半導体素子搭載面が形成された半導体素子搭載層から外部接続端子装着面が形成された外部接続端子装着層の方向に順次導体配線及び絶縁層を形成して製造できる。まず、金属板としての銅板40の一面側にシードレイヤ42を形成する〔図2(a)〕。このシードレイヤ42を形成する銅板40の面の平均粗さ(Ra)は0.1μm以下であることが好ましい。シードレイヤ42の形成面の平均粗さ(Ra)が0.1μmを超える場合、平均粗さ(Ra)が0.1μm以下となるように、銅板40のシードレイヤ42の形成面に研磨を施すことが好ましい。かかる銅板40の一面側に形成されたシードレイヤ42は、その拡大図に示す様に、銅板40の面に直接接触する厚さ0.01μmのクロム(Cr)層41aと、クロム(Cr)層41a上に形成した厚さ0.1μmの銅(Cu)層41bとから成る。かかるクロム(Cr)層41aは、後述する様に、銅板40をエッチングする際に、銅板40をエッチングするエッチング液によってエッチングされない金属から成る金属層である。また、銅(Cu)層41bは、後述する電解めっきの際の給電層である。これらクロム(Cr)層41a及び銅(Cu)層41bは、スパッタ、蒸着、或いは無電解めっきによって形成できる。尚、クロム(Cr)層41aに代えて、銅板40をエッチングするエッチング液によってエッチングされるものの、エッチング速度が著しく遅い金属層を形成してもよい。

【0016】銅板40の一面側に形成したシードレイヤ42上には、半導体素子16の電極端子18が接続される銅から成る、厚さ10μm程度の半導体素子用パッド20a、20a・・・を形成する〔図2(b)〕。この半導体素子用パッド20aは、シードレイヤ42上に形成したフォトレジスト層にパターニングを施し、半導体素子用パッド20a等を形成する部分のシードレイヤ42を露出させた後、シードレイヤ42、特に銅層41

(b)を給電層とする電解めっきによって形成できる。半導体素子用パッド20a、20a・・・を形成した銅板

40の面には、厚さ10 μ m程度の半導体素子用パッド20a、20a・・・を覆うように、熱硬化性樹脂であるポリイミド樹脂を印刷等によって塗布し硬化して絶縁層14を形成する〔図2(c)〕。この絶縁層14に、YAGレーザや炭酸ガスレーザ等のレーザ光によってビア形成用の凹部30を形成する。形成した凹部30は、絶縁層14の表面に開口されていると共に、半導体素子用パッド20aの面によって底面が形成された凹部であって、開口面積が底面面積よりも大の円錐台状である〔図2(d)〕。ここで、凹部30をYAGレーザ等のレーザ光によって形成しているが、エッチングでも形成できる。尚、凹部30は、絶縁層14を感光性樹脂によって形成してフォトリソ法によって形成してもよい。

【0017】形成された凹部30の内壁面を含む絶縁層14の全表面に、シードレイヤ42aを形成する〔図2(e)〕。このシードレイヤ42aも、凹部30の内壁面を形成する絶縁層14の面に直接接触する厚さ0.01 μ mのクロム(Cr)層41aと、クロム(Cr)層41a上に形成した厚さ0.1 μ mの銅(Cu)層41bとから成る。かかるクロム(Cr)層41a及び銅(Cu)層41bはスパッタによって形成できる。更に、図3(a)に示す様に、シードレイヤ42a上に形成したフォトレジスト層44にパターニングを施し、ビアや導体配線を形成する部分のシードレイヤ42aを露出する。次いで、シードレイヤ42aを給電層とする電解めっきによって、シードレイヤ42aが露出する部分に所定厚さの銅層46を形成してビア28や厚さ10 μ m程度の導体配線を形成する。このビア28は、凹部30の内壁面に沿って所定厚さの銅層46が形成された凹状ビアである。その後、フォトレジスト層44を除去し、ビア28と導体配線との間等のシードレイヤ42aをエッチングして除去することによって、図2(f)に示す様に、絶縁層14の表面にビア28、28・・・及び導体配線12、12・・・を形成できる。尚、図2(a)や図2(e)に示すシードレイヤ42aを構成するクロム(Cr)層41aは、クロム(Cr)層41aに代えてチタン(Ti)層をスパッタによって形成してもよく、シードレイヤ42aに代えて無電解めっきによって薄膜状の銅層を形成してもよい。

【0018】更に、図2(c)～(f)及び図3の工程を繰り返すことによって、半導体素子搭載面を具備する半導体素子搭載層側から外部接続端子装着面を具備する外部接続端子装着層の方向に順次導体配線及び絶縁層を形成し、図4に示す多層基板10の中間体10aを得ることができる。得られた中間体10aの一面側には、半導体素子用パッド20a、20a・・・が形成された半導体素子搭載面に、シードレイヤ42を介して銅板40が接合され、中間体10aの他面側には、外部接続端子用パッド24、24・・・が形成されている。かかる銅板40は、中間体10a等の補強板としての役割を奏し、中

間体10a等の搬送等の取扱を容易にできる。唯、最終的に図1に示す多層基板10を得るためには、中間体10aの銅板40をエッチングによって除去することが必要である。この銅板40のエッチングは、銅板40を形成する銅をエッチングするエッチング液によって行うが、銅板40のエッチングの完了時期を厳格に管理することは困難である。このため、シードレイヤ42に、銅板40のエッチング液にエッチングされないクロム(Cr)層41a〔図2(a)〕を形成しておくことによって、銅板40のエッチングが完了した際に、半導体素子用パッド20a等が更にエッチングされることを防止できる。

【0019】つまり、図5(a)に示す銅板40のエッチングは、銅板40の全面を一樣な速度でエッチングすることは至難のことであり、エッチング面に凹凸が形成され易い。この点、シードレイヤ42に銅板40のエッチング液にエッチングされないクロム(Cr)層41aを形成しておくことによって、銅板40のエッチングが速く進行する箇所においても、エッチングがシードレイヤ42のクロム(Cr)層41aに到達したとき、エッチングがストップする。このため、銅板40のエッチングがストップする箇所が経時と共に順次拡大し、図5(b)に示す様に、シードレイヤ42のクロム(Cr)層41aの全面が露出した時点で銅板40のエッチングが終了する。次いで、シードレイヤ42をエッチングによって除去することによって、図5(c)に示す様に、半導体素子用パッド20aの表面が露出する。かかるシードレイヤ42をエッチングによって除去する際には、先ず、クロム(Cr)層41aを、クロム(Cr)をエッチングするが銅(Cu)をエッチングしないエッチング液によってエッチングし、その後、銅(Cu)層41bもエッチングによって除去する。尚、シードレイヤ42の銅層41bをエッチングする場合は、同時に銅製の半導体素子用パッド20aも同時にエッチングがなされるが、銅層41bの厚さは0.1 μ m程度であり、半導体素子用パッド20aの厚さは10 μ m程度であるため問題とはならない。

【0020】この様に、図5に示す様に、図4に示す多層基板10aの銅板40及びシードレイヤ42を除去した後、半導体素子用パッド20a及び外部接続端子用パッド24を除き半導体素子搭載面及び外部接続端子装着面に、ソルダレジスト26、26を塗布することによって、図1に示す多層基板10を得ることができる。銅板40及びシードレイヤ42を除去した、半導体素子用パッド20aの表面を含む絶縁層14の表面を極めて平坦面に形成でき、半導体素子16の電極端子18と半導体素子用パッド20aとを確実に当接させることができる。ところで、図3に示す工程において、凹部30の内壁面を含む絶縁層14の表面に形成したシードレイヤ42a上にフォトレジスト層44を形成した後、フォトレ

ジスト層44にパターニングを施し、ビアや導体配線を形成する部分のシードレイヤ42aを露出させているが、形成するビアが小径になるにしたがって凹部30の内径も小径となり、凹部30の底面に十分な光量が届き難くなる。このため、凹部30内に充填されたフォトレジスト、特に凹部30の底面近傍のフォトレジストが十分に感光され難くなり、凹部30内のフォトレジストを完全に除去することが困難となる傾向にある。このため、図6(a)に示す様に、シードレイヤ42aを給電層とする電解めっきによって、シードレイヤ42a上に銅層47を形成して凹部30を浅くし、凹部30の底面に十分な光量が届くようにした後、凹部30にフォトレジストを充填してフォトレジスト層44をシードレイヤ42a上に形成する。

【0021】次いで、図6(b)に示す様に、フォトレジスト層44にパターニングを施し、ビアや導体配線を形成する部分の銅層47を露出させる。このパターニングの際に、凹部30に充填されたフォトレジストは十分に感光されるため、完全に除去できる。その後、シードレイヤ42a及び銅層47を給電層としての電解めっきを施し、所定厚さの銅層46から成る導体配線、及び/又は凹部30の内壁面に沿って形成された所定厚さの銅層46から成る凹状のビア28を形成する。更に、ビア28や導体配線の間に形成されたシードレイヤ42a及び銅層47をエッチングして除去することによって、図2(f)に示す様に、絶縁層14の表面にビア28、28・・・及び導体配線12、12・・・を形成できる。尚、図2～図6において、クロム(Cr)層41aと銅(Cu)層41bとから成るシードレイヤ42aを形成しているが、クロム(Cr)層41aに代えてチタン(Ti)層をスパッタによって形成してもよく、銅板40に代えてアルミ板又はステンレス板を用いてもよい。

【0022】ここで、図6に示す方法によって形成したビアよりも更に小径のビアを形成する場合には、図7に示す方法を採用することが好ましい。先ず、図7(a)に示す様に、薄膜状銅層54をスパッタ又は無電解めっき等によって形成し、この薄膜状銅層54を給電層として電解めっきによって、薄膜状銅層54上に凹部30を銅によって充填し得る厚さの銅層56を形成する〔図7(b)〕。かかる銅層56の上面には、凹部30に対応する位置に小凹部55が形成されるが、形成するビアが小径となるにしたがって凹部30も小径となり、銅層56の上面に形成される小凹部55も微小となるため、銅層56の上面は実質的に平坦面に形成される。次いで、図7(c)に示す様に、銅層56にパターニングを施し、ビア28及び導体配線12を形成する。尚、薄膜状銅層54は、シードレイヤ42を形成するクロム(Cr)層41a又はチタン(Ti)層を形成した後、スパッタ又は無電解めっき等によって形成して

もよい。

【0023】図1～図7において、半導体素子用パッド20aは銅層のみによって形成されているが、互いに異なる種類の金属から成る少なくとも二層の金属層によって形成されていてもよい。図8には、半導体素子用パッド20aが、銅層21と金層23によって形成されている例を示す。この金層23は、半導体素子用パッド20aの表層を形成し、銅層21の酸化防止等の保護層としての役割を奏する。かかる金層23も、金(Au)－パラジウム(Pd)－ニッケル(Ni)或いは金(Au)－ニッケル(Ni)の複合構造であってもよい。かかる図8に示す半導体素子用パッド20aを形成するには、図9(a)に示す様に、図2(a)に示すシードレイヤ42の表面に形成した樹脂層43の所定の個所に、レーザ或いはエッチングによって半導体素子用パッド20a形成用の凹部45を形成する。この凹部45には、シードレイヤ42を給電層として電解金めっきによって、シードレイヤ42に接触する金層23を形成した後、電解銅めっきによって銅層21を形成する〔図9(b)〕。更に、樹脂層43を除去することによって、二層構造の半導体素子用パッド20aを形成できる〔図9(c)〕。尚、その後は、図2(c)以降と同様な工程で多層基板を得ることができる。

【0024】ここで、図8に示す半導体素子用パッド20aの金層23を、図10(a)に示す様に、はんだ層25としてもよい。はんだ層25を形成するはんだは、リフロー工程の加熱雰囲気下で溶融する低融点金属であって、溶融はんだは、搭載された半導体素子の電極端子と半導体素子用パッド20aとを電気的に接続することができる。このはんだ層25を形成するはんだとしては、リフロー工程の加熱雰囲気下で溶融するものであればよいが、錫(Sn)－銀(Ag)等の鉛(Pb)フリーの合金が好ましい。この様に、半導体素子用パッド20aの表層にはんだ層25を形成しておくことによって、図10(a)に示す様に、搭載された半導体素子16の電極端子18のうち、半導体素子用パッド20aの表面に当接しない電極端子18が存在しても、リフロー工程を通過した半導体素子16の電極端子18と半導体素子用パッド20aとは、図10(b)に示す様に、はんだ層25によって電気的に接続され、最終的に得られた半導体装置の信頼性を向上できる。つまり、リフロー工程の加熱雰囲気下ではんだ層25が溶融して溶融はんだとなったとき、溶融はんだは表面張力で楕円球状となって、絶縁層14の表面から楕円球状の溶融はんだの一部が突出して電極端子18と接触するためである。尚、図10(a)に示す半導体素子用パッド20aは、図9に示す工程において、金層23を形成する電解金めっきに代えて、電解はんだめっきによってはんだ層25を形成する他は、図9に示す工程と同様にして形成できる。

【0025】これまで説明してきた図1～図10では、

銅板40の一面側にシードレイヤ42を形成してきたが、図8に示す様に、半導体素子用パッド20aの表面を金層23によって形成されている場合には、銅板40をエッチングするエッチング液によって金層23はエッチングされないため、シードレイヤ42の形成を不要にできる。一方、図10(a)に示す様に、半導体素子用パッド20aの表面をはんだ層25によって形成されている場合には、銅板40をエッチングするエッチング液によってはんだ層25もエッチングされるが、そのエッチング速度が銅板40のエッチング速度よりも著しく遅く、実質的にははんだ層25はエッチングされないため、この場合も、シードレイヤ42の形成を不要にできる。また、半導体素子用パッド20aを銅層のみで形成する場合でも、多層基板の製造工程の短縮を図るべく、図11に示す様に、シードレイヤ42を省略して多層基板を形成することができる。図11に示す製造方法では、先ず、金属板としての銅板40の一面側に樹脂層43を形成する〔図11(a)〕。この銅板40の樹脂層43を形成する面は、図2に示す製造方法と同様に、平均粗さ(Ra)は0.1 μ m以下であることが好ましい。樹脂層43の形成面の平均粗さ(Ra)が0.1 μ mを越える場合、平均粗さ(Ra)が0.1 μ m以下となるように、銅板40の樹脂層43の形成面に研磨を施すことが好ましい。この樹脂層43は、銅板40をエッチングするエッチング液にエッチングされない樹脂又は実質的にエッチングされないエポキシ、ポリイミド、ポリフェニレンエーテル等の樹脂によって形成されている。

【0026】銅板40の一面側に形成した樹脂層43の所定箇所には、図11(b)に示す様に、レーザ或いはエッチングによって半導体素子用パッド20a形成用の凹部45を形成する。この凹部45には、銅板40を給電層として電解めっきによって、銅板40に接触する金層23を形成した後、電解銅めっきによって銅層21を形成することによって、二層構造の半導体素子用パッド20aを形成できる〔図11(c)〕。次いで、樹脂層43の上面に、半導体素子用パッド20aを覆うように樹脂層を積層する。この樹脂層43の上面に積層する樹脂は、図11(d)に示す様に、樹脂層43を形成する樹脂と同一樹脂を用い、樹脂層43と一体化された絶縁層45を形成する。かかる絶縁層45には、YAGレーザや炭酸ガスレーザ等のレーザ光によってビア形成用の凹部30を形成する。形成した凹部30は、絶縁層45の表面に開口されていると共に、半導体素子用パッド20aの面によって底面が形成された凹部であって、開口面積が底面面積よりも大の円錐台状である〔図11(e)〕。ここで、凹部30をYAGレーザ等のレーザ光によって形成しているが、エッチングでも形成できる。尚、凹部30は、絶縁層45を感光性樹脂によって形成してフォトリソ法によって形成してもよい。

【0027】形成された凹部30の内壁面を含む絶縁層

45の全表面に、無電解銅めっき、スパッタ、或いは蒸着によって薄膜状銅層43aを形成する〔図11

(f)〕。この薄膜状銅層43aの厚さは30の内壁面を形成する絶縁層45の面に直接接触する厚さは0.1 μ m程度である。更に、図3(a)に示す様に、薄膜状銅層43a上に形成したフォトレジスト層44にパターニングを施し、ビアや導体配線を形成する部分の薄膜状銅層43aを露出する。次いで、薄膜状銅層43aを給電層とする電解めっきによって、薄膜状銅層43aが露出する部分に所定厚さの銅層46を形成してビア28や厚さ10 μ m程度の導体配線を形成する。このビア28は、凹部30の内壁面に沿って所定厚さの銅層46が形成された凹状ビアである。その後、フォトレジスト層44を除去し、ビア28と導体配線との間等のシードレイヤ42aをエッチングして除去することによって、図11(g)に示す様に、絶縁層45の表面にビア28、28・・・及び導体配線12、12・・・を形成できる。

【0028】図1～図11に示す多層基板10のビア28は、円錐台状の凹部30の内壁面に沿って金属層が所定厚さに形成されて成る凹状であるため、多層基板10の外部接続端子装着面の多少の凹凸が形成され易い。かかる凹凸は、外部接続端子用パッド24、24・・・に装着される、外部接続端子としてのはんだボール22、22・・・が、半導体素子16の電極端子18よりも大きい場合、ある程度は吸収可能である。しかし、はんだボール22の小粒化が進展すると、外部接続端子装着面も平坦性が要求される。この様に、外部接続端子装着面の平坦性が要求される多層基板としては、図12に示す多層基板50が好ましい。図12に示す多層基板50では、図1の多層基板10と共通する構成部材は同一番号を付けて詳細な説明を省略した。

【0029】図12に示す多層基板50において、ビア52は、円錐台状の凹部30内に銅が充填されて成る円錐台状の中実体であり、ビア52の端面を含む絶縁層14の凹部30の開口面側に研磨が施されている点、図1の多層基板10と相違する点である。この様に、ビア52の端面を含む絶縁層14の凹部30の開口面側に研磨を施すことによって、多層基板50の外部接続端子装着面を、図1に示す多層基板10の外部接続端子装着面よりも平坦面に形成できる。このため、外部接続端子用パッド24、24・・・に装着するはんだボール22、22・・・の小粒化を更に図ることができる。図12に示す多層基板50は図13及び図14に示す製造方法によって形成できる。図13に示す製造方法においても、図2(a)～(d)に示す工程を採用し、YAGレーザ等のレーザ光を用いて絶縁層14にビア形成用の凹部30を形成する〔図2(d)〕。この凹部30は、絶縁層14の外部接続端子装着面側に開口されていると共に、半導体素子用パッド20aの面によって底面

が形成された、開口面積が底面面積よりも大となる円錐台状である。

【0030】かかる凹部30の内壁面を含む絶縁層14の表面には、図13(a)に示す様に、薄膜状銅層54をスパッタ等によって形成し、この薄膜状銅層54を給電層として電解めっきによって、凹部30を銅によって充填し得る厚さの銅層56を薄膜状銅層54上に形成する〔図13(b)〕。かかる銅層56の上面には、凹部30に対応する位置に、小凹部55が形成される。このため、絶縁層14の凹部30の開口面側に研磨を施す。この研磨によって、銅層56を除去すると共に、凹部30に銅が充填されて形成されたビア52の端面も研磨されるため、凹部30の開口面側である絶縁層14の表面は平坦面に形成できる〔図13(c)〕。次いで、研磨を施した絶縁層14の研磨面に電解めっき、無電解めっき、或いはスパッタ等によって所定厚さに形成した銅層に、フォトリソ法等によってパッド20及び導体配線12を形成した後〔図13(d)〕、図13

(a)～(d)の工程を繰り返すことによって、半導体素子搭載面を具備する半導体素子搭載層から外部接続端子装着面を具備する外部接続端子装着層の方向に順次各層を形成し、図14に示す中間体50aを得ることができる。

【0031】得られた中間体50aには、図4に示す多層基板10aと同様に、半導体素子搭載面に、シードレイヤ42を介して銅板40が接合されている。この銅板40は、中間体50a等の補強板の役割を奏し、中間体50a等の搬送等の取扱を容易とすることができる。かかる中間体50aの銅板40をエッチングして除去する際には、銅をエッチングするエッチング液によって銅板40をエッチングし、シードレイヤ42を形成するクロム(Cr)層41〔図2(a)〕に銅板40のエッチングが到達したとき、銅板40のエッチングを終了する。更に、クロム(Cr)層41も、銅板40のエッチングが完了した後、クロム(Cr)をエッチングするが銅(Cu)をエッチングしないエッチング液によってエッチングし、その後、シードレイヤ42を形成する銅層41bもエッチングによって除去される。この様に、図14に示す多層基板50aの銅板40及びシードレイヤ42を除去した後、半導体素子用パッド20a及び外部接

続端子用パッド24を除き半導体素子搭載面及び外部接続端子装着面に、ソルダレジスト26、26を塗布することによって、図12に示す多層基板50を得ることができる。

【0032】以上、説明してきた図1～図14に示す多層基板では、銅板40を完全に除去しているが、図15に示す様に、銅板40の多層基板10の周縁に沿う部分を残留することによって枠体41が形成される。この枠体41は、多層基板10の補強材として作用し、多層基板10の搬送等の取扱等の取扱性を向上できる。また、

金属製の枠体41が、シードレイヤ42を介して多層基板10に設けられているため、枠体41とシードレイヤ42との間に、薄膜状の高誘電体皮膜を形成することによって薄膜コンデンサを形成することも可能であり、図16に示す様に、多層基板50に薄膜コンデンサ51を作り込むことも可能である。図16は、図12に示す多層基板50であり、搭載する半導体素子16の電極端子18の直近に薄膜コンデンサ51を形成した例である。この薄膜コンデンサ51は、図17(a)に示す様に、銅板40の一面側に形成されたシードレイヤ42に形成する。先ず、シードレイヤ42の表面にスパッタで形成した半導体素子用パッド20aの表面に、チタン酸ストロンチウム(SrTiO_3)やチタン酸バリウム(BaTiO_3)等の高誘電体材料から成る高誘電体層53をスパッタによって形成した後、この高誘電体層53の表面にスパッタで薄膜銅層57を形成することにより、薄膜コンデンサ51を形成できる。次いで、薄膜コンデンサ51及び半導体素子用パッド20aが形成された銅板40には、図13(a)～(d)の工程を繰り返すことによ

って図17(b)に示すビア52等を形成できる。

【0033】更に、図2～図9、図11、図13～図15、図17には、銅板40を用いていたが、銅板40に代えてアルミニウム製の金属板又はステンレス製の金属板を使用できる。この様に、アルミニウム製又はステンレス製の金属板を用いる場合にも、半導体素子用パッド20a等と金属板との密着性等を向上すべく金属板と半導体素子用パッド20a等との間にシードレイヤ42を形成してもよい。ここで、半導体素子用パッド20a等を銅製とし、金属板をアルミニウム製とした場合、エッチング液を選択することによって、銅から成る半導体素子用パッド20aをエッチングすることなく金属板をエッチングでき、シードレイヤ42を不要とすることができる。尚、多層基板10の搬送等の取扱性等を更に一層向上せんとする場合には、図1に示す様に、多層基板10の周縁部に所定の強度を有する金属製の枠体17を別体に形成して接合してもよい。

【0034】

【発明の効果】本発明によれば、多層基板の半導体素子搭載面を可及的に平坦面とすることができ、搭載する半導体素子の電極端子と多層基板の半導体素子用パッドとを確実に接続することができる。また、コア基板を不要とすることができ、更に薄い多層基板を形成できる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置用多層基板の一例を示す部分断面図である。

【図2】図1に示す半導体装置用多層基板の製造工程を示す工程図である。

【図3】図1に示す半導体装置用多層基板の製造工程の一部について説明する説明図である。

【図4】図1に示す半導体装置用多層基板の中間体を示

17

す部分断面図である。

【図5】図3に示す半導体装置用多層基板の製造工程の次の工程を説明するための工程図である。

【図6】図3に示す半導体装置用多層基板の製造工程の一部についての他の方法を説明する説明図である。

【図7】図3に示す半導体装置用多層基板の製造工程の一部についての他の方法を説明する説明図である。

【図8】図1に示す半導体装置用多層基板の他の例を示す部分断面図である。

【図9】図8に示す半導体装置用多層基板の製造方法を説明するための部分工程図である。

【図10】図1に示す半導体装置用多層基板の他の例を示す部分断面図である。

【図11】図2に示す半導体装置用多層基板の製造方法の他の例を説明するための工程図である。

【図12】本発明に係る半導体装置用多層基板の他の例を示す部分断面図である。

【図13】図12に示す半導体装置用多層基板の製造工程を示す工程図である。

【図14】図12に示す半導体装置用多層基板の中間体を示す部分断面図である。

【図15】本発明に係る半導体装置用多層基板の他の例を示す部分断面図である。

【図16】薄膜コンデンサを作り込んだ半導体装置用多層基板の一例を説明する部分断面図である。

【図17】図16に示す半導体装置用多層基板の製造方

18

法を説明する工程図である。

【図18】従来の半導体装置用多層基板を示す部分断面図である。

【図19】図18に示す従来の半導体装置用多層基板の製造工程を示す工程図である。

【符号の説明】

10、50 半導体装置用基板

10a、50a 中間体

12 導体配線

14 絶縁層

16 半導体素子

18 電極端子

20 パッド

20a 半導体素子用パッド

22 外部接続端子

24 外部接続端子用パッド

26 ソルダレジスト

28、52 ヴィア

30 凹部

40 金属板（銅板）

41a クロム（Cr）層

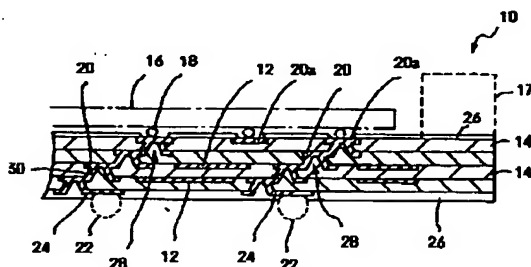
41b 銅（Cu）層

42、42a シードレイヤ

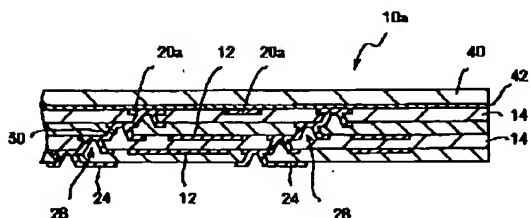
44 フォトリソレジスト層

46、47 銅層

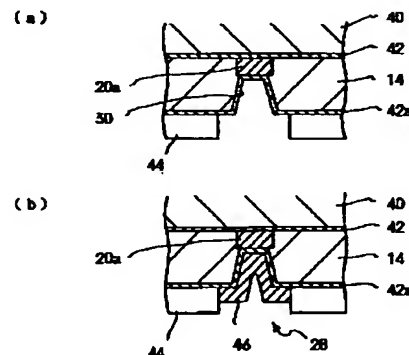
【図1】



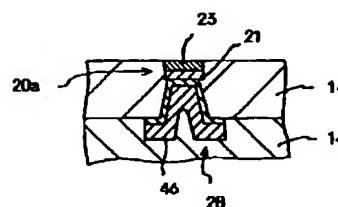
【図4】



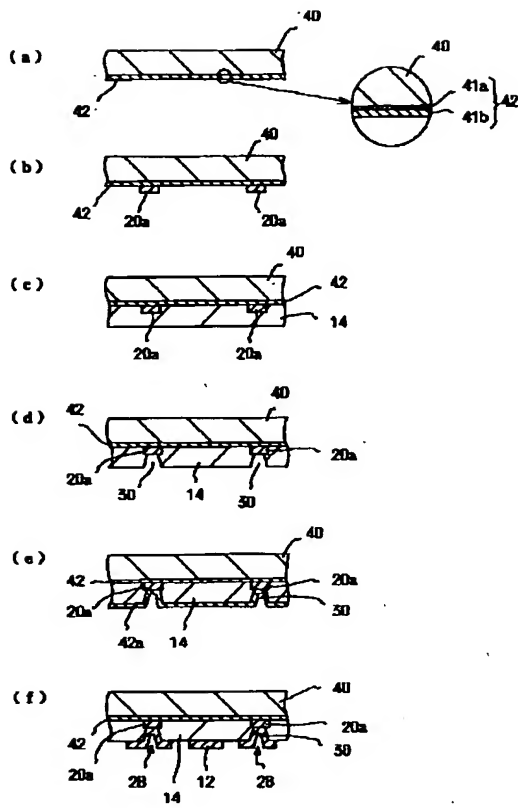
【図3】



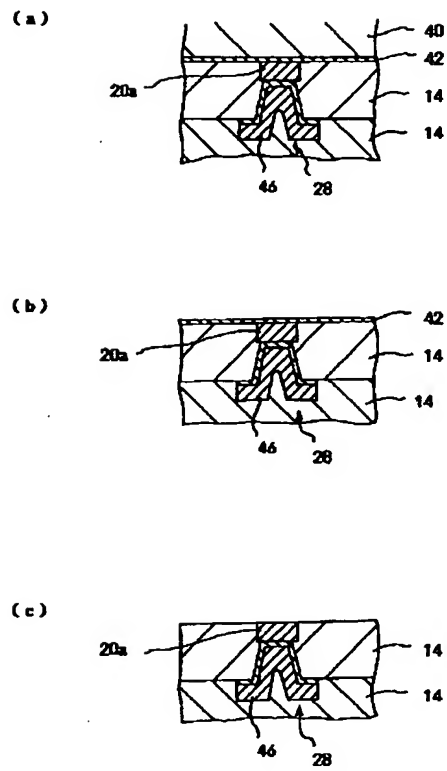
【図8】



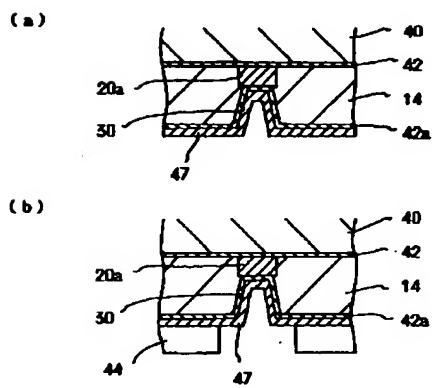
【図2】



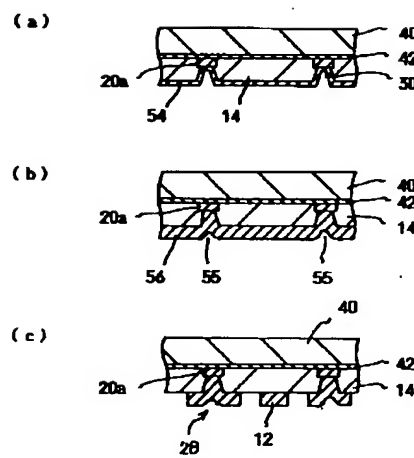
【図5】



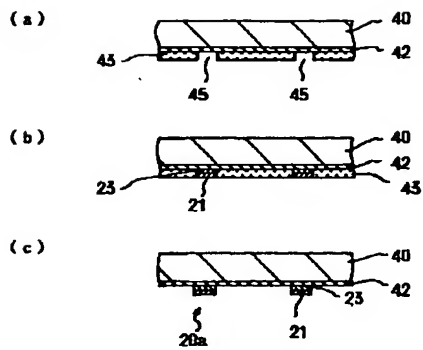
【図6】



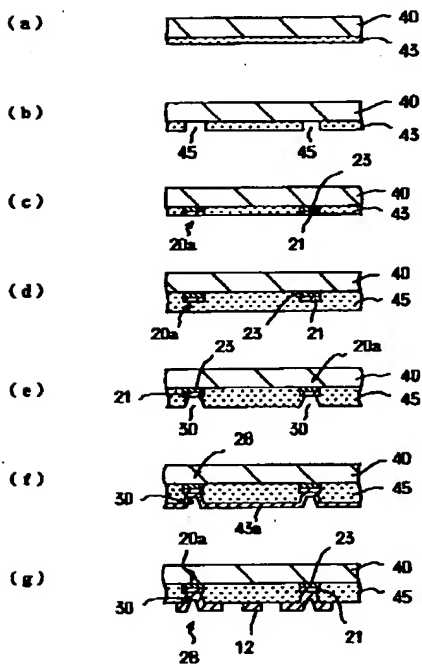
【図7】



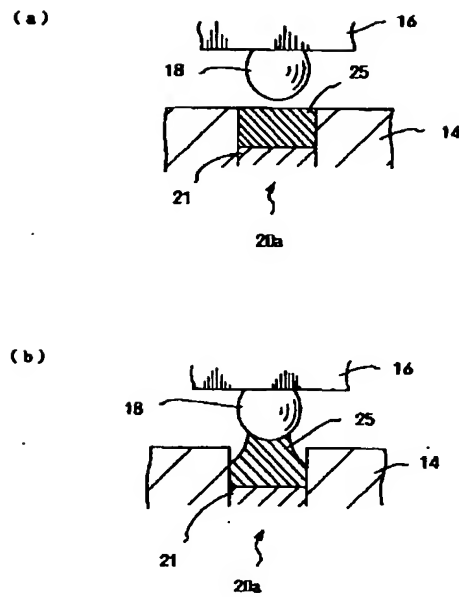
【図9】



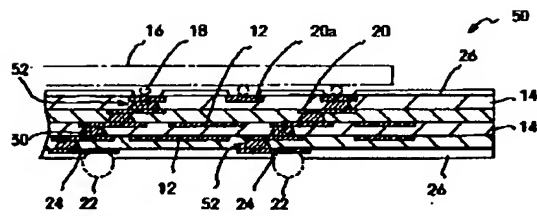
【図11】



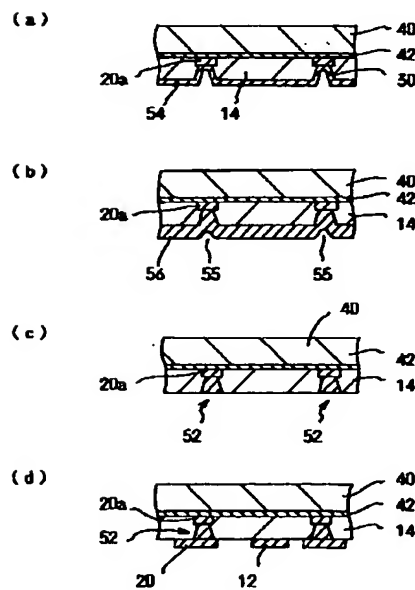
【図10】



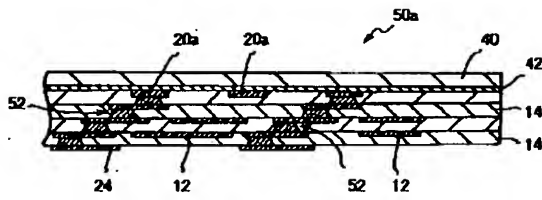
【図12】



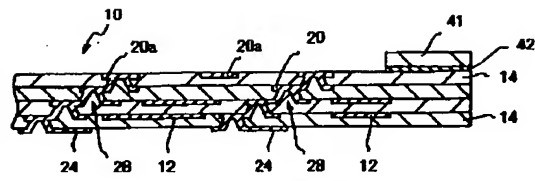
【図13】



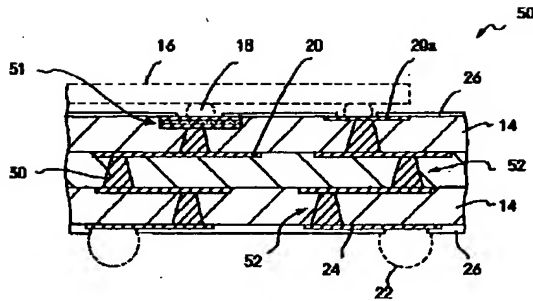
【図14】



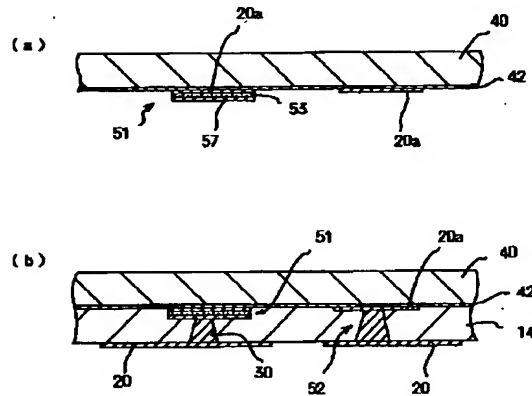
【図15】



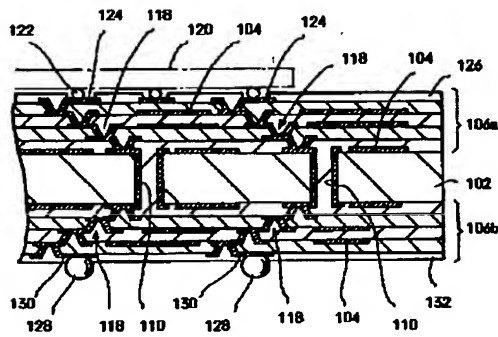
【図16】



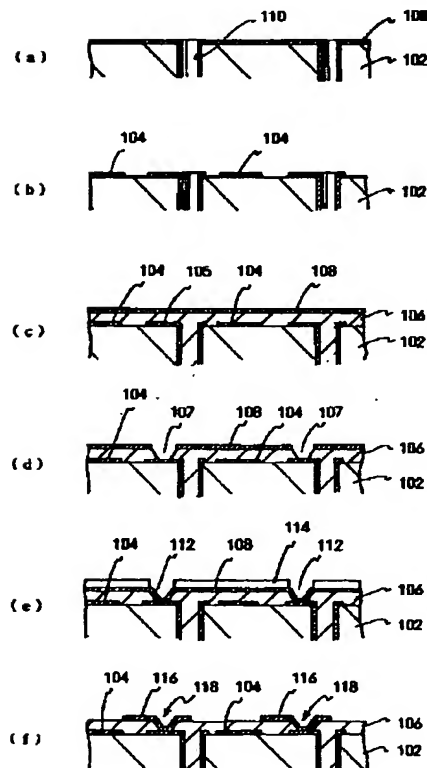
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 松田 勇一

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

Fターム(参考) 5E346 AA12 AA15 AA43 BB01 BB16

CC08 CC38 CC40 CC52 CC58

CC60 DD25 DD33 DD44 DD46

DD47 EE33 FF14 FF45 GG01

GG15 GG17 HH11 HH24 HH32